

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

3464016

Basic Patent (No,Kind,Date): JP 56091277 A2 810724 <No. of Patents: 005>

LIQUIDCRYSTAL DISPLAY PANEL (English)

Patent Assignee: CITIZEN WATCH CO LTD

Author (Inventor): TOGASHI SEIGO

IPC: *G09F-009/35; G02F-001/133; G09F-009/00

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Appli No	Kind	Date
GB 2069213	A1	810819	GB 8040510	A	801218
GB 2069213	B2	830817	GB 8040510	A	801218
JP 56091277	A2	810724	JP 79167542	A	791225 (BASIC)
JP 88021907	B4	880510	JP 79167542	A	791225
US 4345249	A	820817	US 215901	A	801212

Priority Data (No,Kind,Date):

JP 79167542 A 791225

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.
003078185

WPI Acc No: 1981-H8225D/198134

Liquid crystal display panel - has individual switching elements on substrate with row and column elements which intersect and some in comb pattern

Patent Assignee: CITIZEN WATCH CO LTD (CITL)

Inventor: TOGASHI S

Number of Countries: 002 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
GB 2069213	A	19810819				198134	B
US 4345249	A	19820817				198235	
GB 2069213	B	19830817				198333	

Priority Applications (No Type Date): JP 79167542 A 19791225

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
GB 2069213	A	16		

Abstract (Basic): GB 2069213 A

The liquid crystal display panel has a layer of liquid crystal material enclosed between a pair of substrates, a set of row electrodes and a set of column electrodes formed on the substrates to mutually intersect. Display electrodes are arranged in positions corresponding to intersections of the row and column electrodes, switching elements each being coupled between an intersection of the row and column electrodes and a corresponding display electrode. A source of scanning signals is for selectively rendering the switching elements conductive.

A source of display signal voltages are selectively applied to the display electrodes through the switching elements in response to the scanning signals, and a reference electrode which is held at a predetermined potential. Display electrodes are arranged in relationship to the reference electrode such that an electric field is applied to the liquid crystal material in a direction having at least a component directed parallel to the plane of the substrates in response to a potential difference between the display signal voltage applied to one of the display electrodes and the potential of the reference electrode.

7

Title Terms: LIQUID; CRYSTAL; DISPLAY; PANEL; INDIVIDUAL; SWITCH; ELEMENT; SUBSTRATE; ROW; COLUMN; ELEMENT; INTERSECT; COMB; PATTERN

Derwent Class: P85; T04; U14; W05

International Patent Class (Additional): G06F-003/02; G09F-009/35; G09G-003/36

File Segment: EPI; EngPI

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑯ 公開特許公報 (A)

昭56-91277

⑯ Int. Cl.³

G 09 F 9/35
G 02 F 1/133
G 09 F 9/00

識別記号

庁内整理番号
7013-5C
7348-2H
7129-5C

⑯ 公開 昭和56年(1981)7月24日
発明の数 2
審査請求 未請求

(全 7 頁)

⑯ 液晶表示パネル

⑯ 特 願 昭54-167542

⑯ 出 願 昭54(1979)12月25日

⑯ 発明者 富樫清吾

所沢市大字下富字武野840シチ

ズン時計株式会社技術研究所内

⑯ 出願人 シチズン時計株式会社
東京都新宿区西新宿2丁目1番
1号

⑯ 代理人 弁理士 金山敏彦

明細書

1 発明の名称

液晶表示パネル

2 特許請求の範囲

(1) 少なくとも複数の行電極と、複数の列電極と、該行電極及び列電極の交点に対応して配置されたスイッチング素子と、該スイッチング素子に接続された液晶表示要素とを有し、該液晶表示要素に電圧を印加して表示を行う液晶表示パネルに於いて、該液晶表示要素に印加される電圧は表示パネル平面に平行な成分を有する事を特徴とする液晶表示パネル。

(2) 少なくとも複数の行電極と、複数の列電極と、該行電極及び列電極の交点に対応して配置されたスイッチング素子と、該スイッチング素子に接続された液晶表示要素とを有し、該液晶表示要素に電圧を印加して表示を行う液晶表示パネルに於いて、少なくとも2枚の基板と該基板間に挟持された液晶層を有し、いずれか一方の基板上には、くし歯状にパターン化され、互いに組合わされた少な

くとも2種のくし歯状電極が配置され、液晶表示要素には該くし歯状電極を通じて電圧が印加される事を特徴とする液晶表示パネル。

3 発明の詳細な説明

本発明はスイッチング素子をパネル上に設けたスイッチング素子内蔵型の液晶表示パネルの改良にかかわり、詳しくは液晶への電圧印加法を工夫する事により消費電力、スイッチング速度や製造性を大巾に改善するものである。

液晶表示パネルは低電力、低電圧という他の表示装置にない特徴を有し、電卓、時計等の携帯機器を中心に広く用いられている。しかし表示特性は電圧に対し鋭い閾値特性を持たない為、高分割のマルチプレックス駆動には適さない。そこで高分割のマルチプレックス駆動を可能とする為にスイッチング素子を各表示要素毎に配置する方式(スイッチング素子内蔵方式)が提案されている(参照、B. J. Lechner et al, Proc. IEEE vol. 59, Nov. 1971, p. 1566 ~ 1579)スイッチング素子内蔵方式は、いかなる高分割のマル

(1)

-439-

(2)

チップレス駆動でもクロストークが原理的には存在しない優れた方式である。

しかし現実的には幾つかの問題点が存在し、本来の優れた特性を生かして実用化されるに至っていない。従来のスイッチング素子内蔵方式の液晶表示パネルの問題点としては、消費電力、相互配線、及び製造性等が挙げられる。本発明は液晶に対する電圧印加方向を、従来のパネル平面に垂直方向から平行方向の成分を含む方向とする事により、有害な寄生容量を低減し、従来の問題点を改善したものである。

本発明の説明に先立ち、従来のスイッチング素子内蔵方式の液晶表示パネルについて述べる。第1図は表示パネルの説明図である。1、2は基板であり、3は液晶層である。第1の基板1には基準電極Zが、第2の基板2には行電極、列電極及びスイッチング素子、表示用電極等を含む層5がそれぞれ形成されている。第2図は表示部の等価回路である。X_i (X₁ ~ X_n)は列電極、Y_j (Y₁ ~ Y_m)は行電極であり、該行電極及び列電極の

(3)

供給するクロック回路である。行電極Y₁ ~ Y_mは走査信号により順次選択され、選択された行電極に接続されたスイッチング素子が導通してその時の表示信号が表示用電極Aを介して液晶表示要素に書き込まれ、他の行の選択期間中はスイッチング素子が非導通となり書き込まれた電圧を保持する。この様にスイッチング素子内蔵方式ではクロストークが全く起らない表示が可能である。

以上の様な従来例に於ける最大の欠点の1つは従来の表示パネル構造に起因する寄生容量である。

第5図は従来の表示パネルの断面図である。従来例では、一方の基板1上に基準電極Zが形成され表示用電極Aとで挟まれた領域の液晶表示要素LCに電圧を印加している。問題はスイッチング素子Sに接続され、それぞれ走査信号及び表示信号を供給する行電極Y及び列電極Xも必然的に基準電極Zと対向してしまう点にあり、それぞれ寄生容量C_{yz}、C_{xz}を生じてしまう。スイッチング素子を用いない液晶表示パネルでは液晶表示要素の領域以外では両基板上の電極は対向しない様に

(5)

交点に対応する領域にスイッチング素子Sが配置され、液晶表示要素LCはスイッチング素子Sと表示用電極Aにより接続され、他の一端は基準電極Zに接続される。

第4図は行電極Y_jと列電極X_iの交点に対応する一単位要素に於ける一方の基板2上の各要素の配置例である。行電極Y_j、Y_{j+1}と列電極X_i、X_{i+1}により囲まれた領域が一単位要素に対応しスイッチング素子S_{ij}は行電極Y_j、列電極X_iと表示用電極A_{ij}に接続される。もう一方の基板上には基準電極Zが全面に形成されており、表示用電極A_{ij}と基準電極Zとの間に挟まれる第4図斜線部に對応した液晶層が液晶表示要素LC_{ij}を構成する。

第3図は表示パネルを含む表示装置全体のブロック図であり、6は行電極Y₁ ~ Y_m IC 構成の走査信号を供給する走査回路、7は表示情報処理回路8より入力される表示情報に基づいて列電極X₁ ~ X_n IC 表示信号を印加する列電極駆動回路、9は各回路に様々なクロック信号を、

(4)

する事が可能であつたが、スイッチング素子内蔵方式では行電極及び列電極が一方の基板上に基盤の目状に配置され他の基板上には基準電極が全面に形成されている為、C_{yz}、C_{xz}の様な寄生容量は避け得なかつた。

C_{yz}、C_{xz}の様な寄生容量は消費電力に大きな影響を及ぼす。表示パネル上の消費電力としては、まず液晶表示要素を駆動する為のエネルギーが必要である。電界効果型の液晶表示を例に取ると各表示要素LCは電気的には容量C_{le}と近似される。よつてC_{le}を充放電する為のエネルギーが表示の為に必要な消費電力P_{dis}に対応する。しかし、従来の表示パネルを駆動する為の消費電力はP_{dis}の数十～数百倍にも昇つている。この原因が寄生容量C_{yz}、C_{xz}である。今、行電極及び列電極の巾をw、数をそれぞれn、表示部の面積をw×n液晶層厚d、液晶の誘電率εとする。各液晶表示要素の容量C_{le}はε (w/d)²/d程度となる。又各列電極及び行電極一本当たりの寄生容量C_{yz}、C_{xz}はε w·n/d程度となる。C_{le}を充放電す

(6)

る為には列電極の寄生容量 C_{zz} も充放電しなくてはならない。 $C_{zz}/C_{lc} \approx \pi \cdot w / (\frac{W}{n} \cdot w)^2$ は例えば $W \approx 50 \text{ mm}$ 、 $n \approx 500$ 、 $w \approx 20 \mu\text{m}$ とすると 156 程度、電極巾 w を $10 \mu\text{m}$ としても 62 程度となり、この程度の寸法でも C_{zz} により消費される電力は $C_{lc}V$ より消費される電力の 156 倍又は 62 倍となる。行電極 $Y_1 \sim Y_m$ の寄生容量 $C_{yz}V$ よる効果は、行電極に印加される走査信号のスイッチング回数が少ないので充放電回数も小さく、 C_{zz} 程は大きくない。しかし行電極 $Y_1 \sim Y_m$ はスイッチング素子のゲートに接続され、スイッチング素子が $CdSe$ や $a-Si$ を用いた薄膜素子の場合では、ゲート電圧 V_g は表示信号電圧よりかなり大きいから、消費電力 $\propto C_{zz} V_g^2$ の効果も無視出来ない。以上の如く寄生容量 C_{zz} 、 C_{yz} の為に消費される電力は真 V 表示 V 必要な電力の数十～数百倍となる。

寄生容量 C_{zz} 、 C_{yz} 等は周辺回路が必要とする応答速度にも大きな影響を及ぼす。スイッチング素子を介して容量 C を充放電する場合、充放電時

(7)

$a = 10$ とすると、 $C_{lc} \approx 0.05 \mu\text{F}$ 、 $C_{zz} \approx C_{yz} \approx 8 \mu\text{F}$ 、必要なスイッチング時間は約 4 msec となり、寄生容量 C_{zz} がない場合でも $R_{on} < 8 \times 10^7 \Omega$ 、寄生容量がある為 $R_{on} < 5 \times 10^3 \Omega$ が必要であり、製造上のバツキを考えれば更に余裕を見なければならない。表示パネル上のスイッチング素子として $CdSe$ 、 $a-Si$ 、 $Poly-Si$ 等の薄膜素子を用いる場合、薄膜半導体のキャリア移動度が低い為 R_{on} を小さくする事は極めて難しく R_{on} が $10^7 \Omega$ 程度のものなら何とかなるが $10^3 \Omega$ は難しい。この様に寄生容量が存在する為に、周辺回路を表示パネル上に形成する事が極めて困難となつてゐる。

本発明は、従来方式の様に液晶層を挟んで配置される電極（基準電極と表示用電極）を通じて液晶表示要素にパネル平面に垂直な電圧を印加するのではなく、スイッチング素子が構成してある方の基板上に共に配置された少なくとも 2 種の電極に電圧を印加する事により、該電極の配置された領域の液晶表示要素にパネル平面に平行方向の、

(9)

間 Δ はスイッチング素子のオン抵抗 R_{on} と C の積の逆数 $(R_{on} C)^{-1}$ 程度必要である。前述の如く $C_{zz}/C_{lc} \approx 100$ であつたから寄生容量 C_{zz} の存在しない場合と比べ、同じ充放電時間で駆動するには R_{on} が $1/100$ 程度でなくてはならない。もし周辺回路を LSI で構成する場合、 R_{on} を $1/100$ にする為には面積が 100 倍程度大きなトランジスタが必要であり、回路面積或いは消費電力の点から言つても問題がある。

一方、スイッチング素子内蔵方式では、行電極及び列電極の数は数百本の事が多く、この様な場合表示パネルと周辺回路との相互接続の困難さを防ぐ為に周辺回路部の一部を表示パネルに形成して相互配線の数を減少させる事がある。この様な周辺回路では複数の列電極 Y に供給する表示信号を一本の相互配線で入力しシリアル・パラレル変換により各列電極分配する方法がとられ相互配線を $1/6$ に減らすには $1/6$ 短い時間に応答する回路が必要となる。 $W = 50 \text{ mm}$ 、 $n = 500$ 、 $w = 20 \mu\text{m}$ 、 $a = 10 \text{ cm}$ 、 $d = 10 \mu\text{m}$ 、フレイム周波数 50 Hz 、

(8)

成分を含む電圧を印加するものである。第 6 図は従来例の第 5 図 V に對応する本発明の説明図である。従来例ではスイッチング素子 S と接続した表示用電極 Y はスイッチング素子と同一基板 2 上にあつたが、表示用電極と共に液晶表示要素 L に電圧を印加する役割を持つ基準電極 Z はもう一方の基板 2 上にあり、液晶表示要素 L に印加される電圧は図中破線の如くパネル平面に垂直であつた。第 6 図の本発明では基準用電極の役割を果たす電極 Z' もスイッチング素子と同一の基板上に形成され、表示用電極 Y と電極 Z' との間に印加される電圧は図中破線の如くパネル平面に平行な成分を有する様になる。尚、電極 Z' は基準電極 Z の事もあるが、行電極 Y や列電極 X が役割を兼用する事もある（後述）この様に、本発明では基板 1 には電極を設ける必要がなく、従来のスイッチング素子内蔵方式で問題となつた寄生容量 C_{zz} 、 C_{yz} を大巾に低減可能で消費電力、スイッチング速度等の問題が非常に改善される。本発明は又表示パネル製造の上でも上下基板間の電気的接続や位置合せ

10

が不要な点から有利である。以下実施例に基づき説明する。

第7図は本発明の一実施例に於ける一単位要素の素子配置の説明図であり、従来例では第4図に対応する。従来例では表示用電極 A_{ij} は液晶表示要素部全面に形成されていた。本実施例では図の様にくし歯状にバタン化されている。一方従来例では、もう一方の基板に形成されていた基準電極 Z は、本発明では表示用電極 A_{ij} と同一基板上に形成されしかも本例では A_{ij} と組み合つたくし歯状にバタン化されている。本例の様にくし歯状にバタン化する事により電圧を効果的に液晶表示要素に印加する事が可能である。第8図は本例の表示パネルを用いた表示装置のブロック図である。第3図の従来例との相異は基準電極 Z が基板2上に形成されている点にある。本例の配置では寄生容量 C_{zz} 、 C_{yz} が極めて小さく消費電力、スイッチング速度が大巾に改善される。

第9図は第7図の実施例の変形であり基準電極 Z の両側に表示要素を配置している点に特徴があ

(11)

極に印加される走査信号の選択電位を V_{on} 、非選択電位を V_{off} とする。行電極 Y_j が選択されスイッチング素子 S_{ij} が導通している時に、表示信号として $V_{off} + V$ の電位を列電極に供給すれば、表示用電極の電位も $V_{off} + V$ となる。この時行電極 Y_{j+1} は非選択であり電位 V_{off} が印加されているから、液晶表示要素 LC の容量 C_{LC} には $(V_{off} + V) - V_{off} = V$ の電圧が印加され、 $C_{LC} \cdot V = Q_{LC}$ の電荷が表示用電極 A_{ij} に蓄積される。次に行電極 Y_{j+1} が選択され Y_{j+1} に V_{on} が印加される時、スイッチング素子 S_{ij} は非導通であるから Q_{LC} は不变であり、 A_{ij} の電位は、 $V_{on} + V$ となり A_{ij} と Y_{j+1} の間の電圧 V は保持される。 Y_j も Y_{j+1} も非選択の期間では Y_{j+1} は V_{off} の電位、 A_{ij} は $V_{off} + V$ の電位をとり、電圧 V は保持される。以上の如くスイッチング素子の特性が $V_{on} + V$ 程度の電圧でも良好であれば、本例の如く行電極 Y に従来の基準電極 Z の役割を兼ねさせる事が可能である。本例では電極配置が極めて簡素化され表示面積の利用効率が高く製造

る。本例では電極バタンが簡略化される。

第7、9図の実施例では基準電極 Z を列電極 X に平行に配置したが、第10、11図の実施例では行電極 Y に平行に配置している。第7図の例では列電極 X と基準用電極 Z が隣接するから従来例よりは大巾に少ないが、ある程度の C_{zz} が存在し、 C_{yz} は少ない。一方第10図の例では逆に C_{yz} が存在し、 C_{zz} は少ない。スイッチング回数は走査信号の方が表示信号よりも大巾に少ないから、 C_{zz} が少ない方が有利である。第10図の配置が優れている。

第11図は第10図の実施例の変形であり基準電極 Z の両側に表示要素を配置している点に特徴がある。本例では電極バタンが簡略化される。

第7～11図の実施例では基準用電極 Z を用いたが、本発明では基準電極 Z を用いず、行電極 Y 又は列電極 X に基準電極の役割を兼用させる事が可能である。第12図はその一例であり、液晶表示要素に印加される電圧は表示用電極 A_{ij} と一本隣りの行電極 Y_{j+1} により供給されている。行電

(12)

性や消費電力、駆動回路構成の点でも優れている。

尚、第12図では隣の行電極 Y_{j+1} に基準電極の役割を兼ねさせたが、 Y_j にその役割を持たしてもよい。

第13図は列電極 X_{i+1} に基準電極の役割を兼ねさせた一例である。この場合には走査信号に上つて X_i と X_{i+1} に印加された表示信号の差電圧が液晶表示要素 LC_{ij} に印加、保持される。本例では表示信号の処理がやや煩雑となるが表示パネル上の構成は簡略化される。

第12、13図の如く行列電極 Y 、 X と表示用電極 A により液晶表示要素に電圧を印加する方式の表示パネルを用いた表示装置のブロック図は第9図で基準電極 Z 及びその駆動部を除いたものに對応する。

以上の第7～13図で説明した各実施例に於いて表示用電極 A 及び基準電極の役割をする電極 Z^* (基準電極 Z 、行電極 Y 、列電極 X) は金属等の不透明電極でも、 $In_2O_3 : S_n$ 、 S_nO_2 等の透明電極でも良い。くし歯が組み合つた部分が表示部に

(13)

(14)

対応するから、少なくともこの部分は透明電極の方が好ましいが、金属膜の微細エッティング技術を用いて電極巾を十分、小さくすれば金属電極でも十分である。この部分は若干の断線は目立たなければ許容されるから電極巾が $1 \mu m$ 程度の極細バタンも可能である。くし歯状電極形成プロセスは他の電極（行電極 Y、列電極 X、基準電極 Z や表示用電極 A の配線部等）と同一工程で作つても良いし、別工程で作つてもよい。各電極の接続はスルーホール等を利用しても良い。

本発明に用いる液晶表示の動作モードは電圧効果型のツイステンド・ネマチック (TN) モード、ゲスト・ホスト (GH) モード、相転移 (PT) モード、電界制御複屈折 (ECB) モード等でもよく又、電流効果型の動的散乱 (DS) モード等でも良い。いずれのモードでもくし歯状電極等によるパネル平面に平行な電圧によつて表示を行う事が可能である。

又、TN モード、GH モード、ECB モード等偏光素子を用いるモードでは、くし歯状電極のス

(15)

9～13 図は本発明の各実施例に於ける表示パネル上の一単位要素の素子配置の説明図、第 8 図は本発明の表示パネルを用いた表示装置のブロック図。

1、2…パネル基板 3…液晶層
6…行電極駆動回路 7…列電極駆動回路
X、 $X_1 \sim X_i \sim X_n$ …列電極
Y、 $Y_1 \sim Y_j \sim Y_m$ …行電極
S、 S_{ij} …スイッチング素子
A、 A_{ij} …表示用電極
L、 L_{ij} …液晶表示要素
Z…基準電極

特許出願人 シチズン時計株式会社
代 理 人 井 増 金 山 敏 彦

ライブ方向と偏光面との関係により表示効果が若干異なり、特殊な効果を得たい場合はスライブ方向と偏光面を平行又は垂直に合わせるとよい。

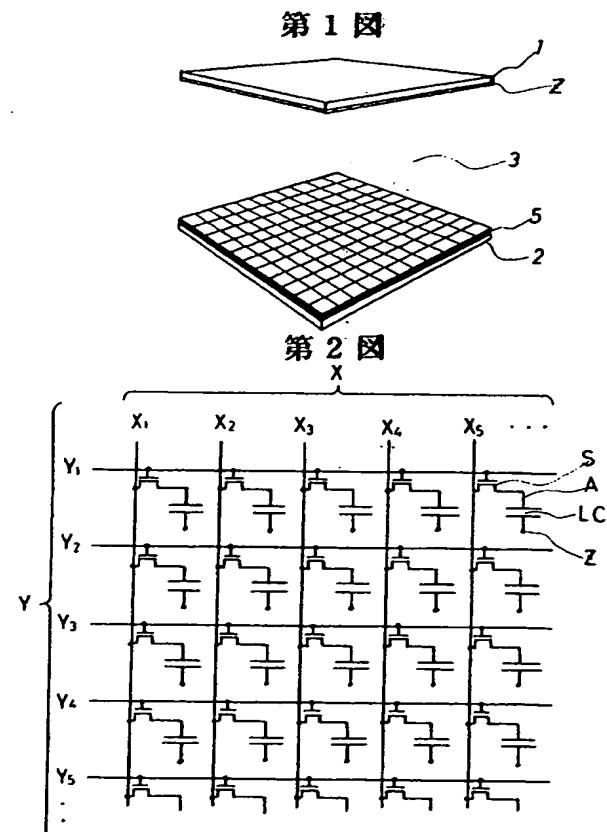
又実施例ではスイッチング素子としてトランジスタを用いて説明したがダイオードやパリスタ等他のスイッチング素子でも良い。又、スイッチング素子は薄膜素子でもパルク素子でも良い。

以上述べた如く、本発明では寄生容量を大巾に低減する事が可能であり、消費電力、スイッチング速度等が改善され製造性にも優れたスイッチング素子内蔵方式の表示パネルが実現可能となる。本発明は表示密度が高く低消費電力が必要な電子時計用の表示パネル等として特に有効である。

4 図面の簡単な説明

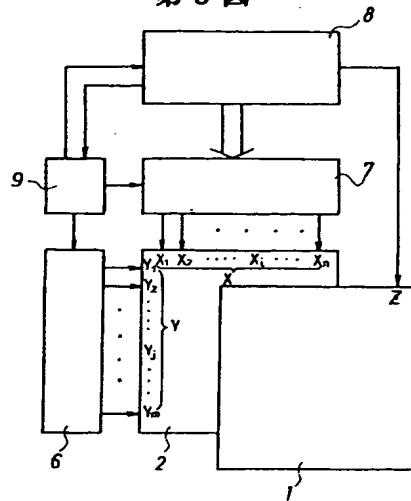
第 1 図は従来のスイッチング素子内蔵型の液晶表示パネルの説明図、第 2 図は表示パネルの等価回路図、第 3 図は表示パネルを含む表示装置のブロック図、第 4 図は表示パネル上の一単位要素の素子配置の説明図、第 5 図及び第 6 図は従来例及び本発明の説明の為の表示パネル断面図、第 7、

(16)

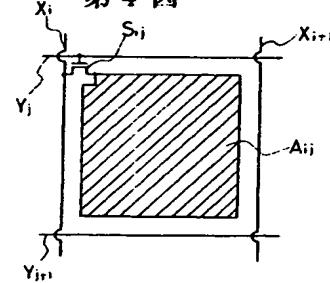


(17)

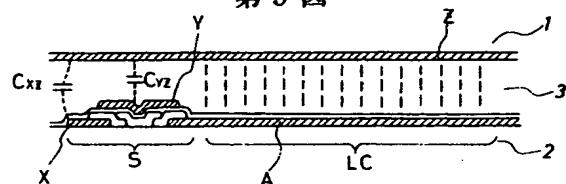
第3図



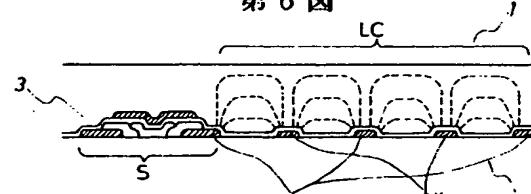
第4図



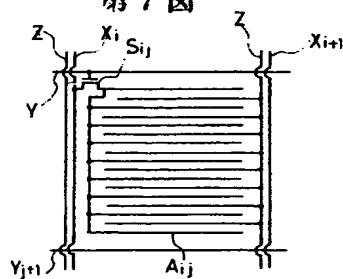
第5図



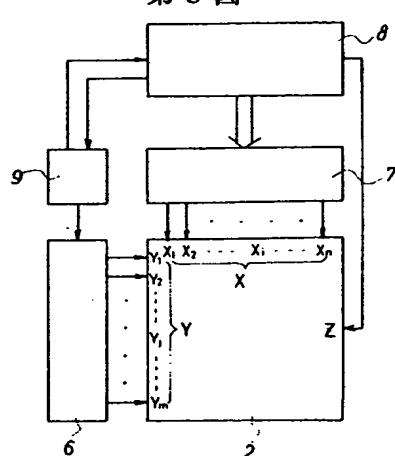
第6図



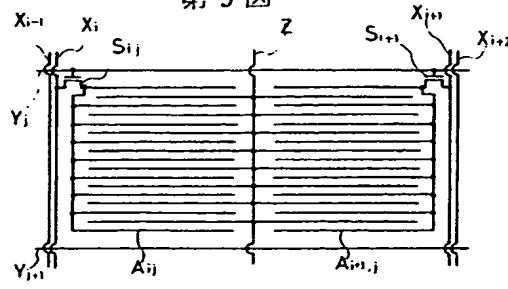
第7図



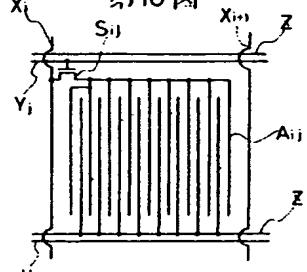
第8図



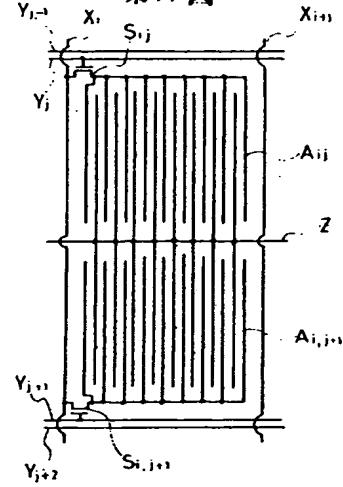
第9図



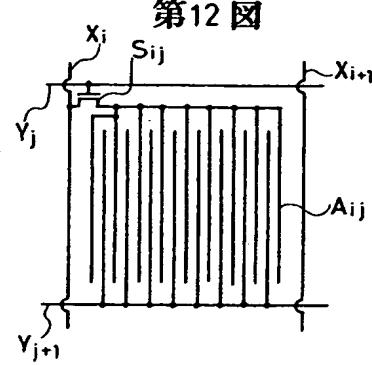
第10図



第11図



第12図



第13図

